

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-085592

(43)Date of publication of application : 30.03.2001

(51)Int.Cl.

H01L 23/52

H01L 21/60

H01L 23/12

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 11-263267

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing :

17.09.1999

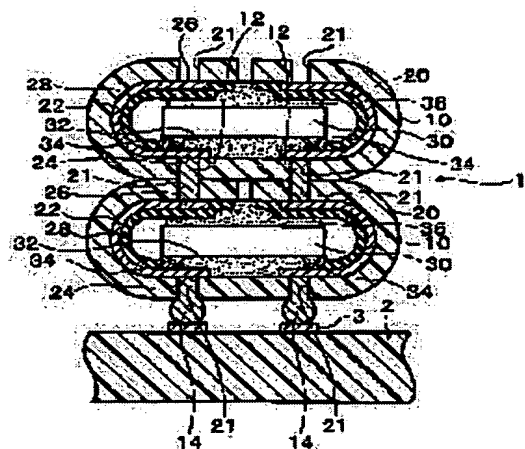
(72)Inventor : WADA KENJI

(54) SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF, CIRCUIT BOARD AND ELECTRONIC APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To constitute a structure of a plurality of stacked semiconductor chips inexpensively.

SOLUTION: A multi-chip semiconductor device 1 comprises a plurality of stacked semiconductor devices 10 each having a wiring pattern 22 formed from one surface side to the other surface side of a semiconductor chip 30. A first connecting part 24 is located on one surface side of the semiconductor chip 30 while a second connecting part 26 is located on the other surface side thereof and a pair of semiconductor devices 10 are connected electrically through the first or second connecting part 24, 26.



LEGAL STATUS

[Date of request for examination]

15.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10)日本国特許庁(J P)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2001-85592

(P2001-85592A)

(43)公開日 平成13年3月30日(2001.3.30)

(51)Int.Cl.	識別記号	F I	ページ(参考)
H01L 23/62		H01L 23/62	C 5 P 0 4 4
21/60	8 1 1	21/60	3 1 1 8
23/12		23/12	L
25/065		25/06	Z
25/07			

審査請求 未請求 請求項の数18 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願平11-263267

(22)出願日 平成11年9月17日(1999.9.17)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 和田 健剛

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人 100090479

弁護士 井上 一 (外2名)

Fターム(参考) SFD44 KK03 KK11 LL01 LL07 LL09

MM03 MM07 MM16 MM25 MM26

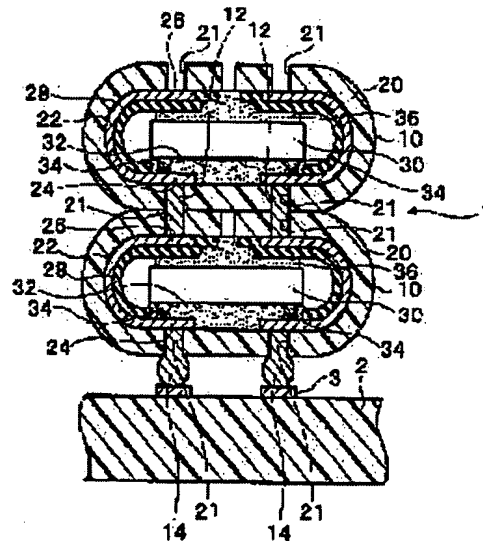
MM50 QQ01 RR02 RR03 RR18

(54)【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

(57)【要約】

【課題】 複数の半導体チップを積み重ねたスタック構造を安価に構成できる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【解決手段】 マルチチップ型の半導体装置1は、複数の半導体装置10が積み重なってなり、各半導体装置10は、半導体チップ30の一方の面側から他方の面側に至るまで形成された配線パターン22を含み、半導体チップ30の一方の面側に第1の接続部24が配置され、半導体チップの他方の面側に第2の接続部26が配置され、第1又は第2の接続部24、26によって、一対の半導体装置10が電気的に接続されている。



【特許請求の範囲】

【請求項 1】 複数の電極を一方の面に有する半導体チップと、
前記半導体チップの前記一方の面側から他方の面側に至るまで形成され、前記半導体チップの前記一方の面側に配置された複数の第 1 の接続部と、前記半導体チップの前記他方の面側に配置された複数の第 2 の接続部と、を有する記録パターンと、
を含む半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、
前記記録パターンは、基板に形成されてなり、
前記基板が屈曲して前記半導体チップに接合されてなる半導体装置。

【請求項 3】 請求項 2 記載の半導体装置において、
前記半導体チップは、前記基板にフェースダウンボンディングされ、
前記基板は、前記記録パターンを内側に有する前記半導体チップを包み、かつ、前記記録パターンの前記第 1 及び第 2 の接続部を、前記基板の外側に露出させる複数の貫通穴が形成されてなる半導体装置。

【請求項 4】 請求項 3 記載の半導体装置において、
前記半導体チップと前記記録パターンとの間に、前記電極と前記記録パターンとの電気的な接続部分を除いて、
絶縁材料が設けられてなる半導体装置。

【請求項 5】 複数の電極を有する半導体チップと、前記半導体チップを包むように形成されてなる基板と、を有する半導体装置であって、
前記基板は、前記半導体チップの第 1 の側面及び第 2 の側面を覆うように形成されてなる半導体装置。

【請求項 6】 請求項 5 記載の半導体装置において、
前記基板には記録パターンが形成されてなり、前記基板における前記記録パターンが形成された側に、前記半導体チップが配置されてなる半導体装置。

【請求項 7】 請求項 1 から請求項 6 のいずれかに記載の構成を有する複数の半導体装置が積み重ねられ、下段の前記半導体装置に形成された前記第 1 及び第 2 の接続部の一方と、上段の前記半導体装置に形成された前記第 1 及び第 2 の接続部の一方と、が電気的に接続されてなるマルチチップ型の半導体装置。

【請求項 8】 請求項 7 記載のマルチチップ型の半導体装置において、
最上段又は最下段の前記半導体装置に形成された前記第 1 及び第 2 の接続部のうち、他の半導体装置に形成された前記第 1 及び第 2 の接続部の一方に接続された接続部とは反対側の接続部が、外部との電気的接続に使用されるマルチチップ型の半導体装置。

【請求項 9】 請求項 8 記載のマルチチップ型の半導体装置において、
前記積み重ねられた複数の半導体装置の各半導体チップは、同一の回路構造を有し、前記電極が同一の配列パタ

ーンで形成され、

各半導体チップの、前記配列パターンの同一位置に形成されたいずれかの電極は、外部との接続に使用される同一の前記第 1 又は第 2 の接続部に電気的に接続されてなるマルチチップ型の半導体装置。

【請求項 10】 請求項 7 から請求項 9 のいずれかに記載のマルチチップ型の半導体装置が搭載された回路基板。

【請求項 11】 請求項 7 から請求項 9 のいずれかに記載のマルチチップ型の半導体装置を備える電子機器。

【請求項 12】 複数の電極を一方の面に有する半導体チップの前記一方の面側から他方の面側に至るまで記録パターンを形成し、前記記録パターンの一部で、前記半導体チップの前記一方の面側に複数の第 1 の接続部を形成し、前記半導体チップの前記他方の面側に複数の第 2 の接続部を形成する工程を含む半導体装置の製造方法。

【請求項 13】 請求項 12 記載の半導体装置の製造方法において、前記記録パターンは、前記第 1 及び第 2 の接続部を含む形状で基板に形成されてなり、
前記基板に前記半導体チップをフェースダウンボンディングしてから、前記基板で前記半導体チップを包む半導体装置の製造方法。

【請求項 14】 請求項 13 記載の半導体装置の製造方法において、

前記基板に、前記記録パターンの前記第 1 及び第 2 の接続部を露出させる複数の貫通穴を形成しておき、
前記基板で、前記記録パターンを内側に有する前記半導体チップを包む半導体装置の製造方法。

【請求項 15】 請求項 12 から請求項 14 のいずれかに記載の半導体装置の製造方法において、
前記半導体チップと前記記録パターンとの間に、前記電極と前記記録パターンとの電気的な接続部分を除いて、
絶縁材料を設ける工程を含む半導体装置の製造方法。

【請求項 16】 請求項 12 から請求項 15 のいずれかに記載の方法によって製造された複数の半導体装置を積み重ね、下段の前記半導体装置に形成された前記第 1 及び第 2 の接続部の一方と、上段の前記半導体装置に形成された前記第 1 及び第 2 の接続部の一方と、を電気的に接続する工程を含むマルチチップ型の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【発明の背景】従来、複数の半導体チップを積み重ねたスタック構造の半導体装置が知られている。各半導体チップの電極はワイヤボンディングによってインターポーゲとなる基板に接続されていたが、これによれば、同一サイズの半導体チップを積み重ねることができなかつ

た。

【0003】本発明は、この問題点を解決するものであり、その目的は、複数の半導体チップを積み重ねたスタック構造を基板に構成できる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【0004】

【課題を解決するための手段】（１）本発明に係る半導体装置は、複数の電極を一方の面に有する半導体チップと、前記半導体チップの前記一方の面側から他方の面側に至るまで形成され、前記半導体チップの前記一方の面側に配置された複数の第１の接続部と、前記半導体チップの前記他方の面側に配置された複数の第２の接続部と、を有する配線パターンと、を含む。

【0005】本発明によれば、半導体チップの両面側に、第１及び第２の接続部が形成される。したがって、本発明に係る複数の半導体装置を積み重ねて、第１及び第２の接続部の一方を、上下の半導体装置間の電気的接続に使用することができる。したがって、半導体チップの大きさに関わらず、簡単にスタック構造を構成することができる。

【0006】（２）この半導体装置において、前記配線パターンは、基板に形成されてなり、前記基板が屈曲して前記半導体チップに接合されていてもよい。

【0007】基板の片面に配線パターンが形成された片面基板を使用して、多層基板を使用しないときには、コストを下げることができる。

【0008】（３）この半導体装置において、前記半導体チップは、前記基板にフェースダウンボンディングされ、前記基板は、前記配線パターンを内側に有する前記半導体チップを包み、かつ、前記配線パターンの前記第１及び第２の接続部を、前記基板の外側に露出させる複数の貫通穴が形成されていてもよい。

【0009】これによれば、配線パターンが基板の内側に形成されるので、基板が配線パターンの保護部材となる。

【0010】（４）この半導体装置において、前記半導体チップと前記配線パターンとの間に、前記電極と前記配線パターンとの電気的な接続部分を除いて、絶縁材料が設けられていてもよい。

【0011】これによれば、半導体チップと配線パターンとのショートを防止できる。

【0012】（５）本発明に係る半導体装置は、複数の電極を有する半導体チップと、前記半導体チップを包むように形成されてなる基板と、を有する半導体装置であって、前記基板は、前記半導体チップの第１の側面及び第２の側面を覆うように形成されてなる。

【0013】本発明によれば、実装（配線形成）が容易になる。

【0014】（６）この半導体装置において、前記基板には配線パターンが形成されてなり、前記基板における

前記配線パターンが形成された側に、前記半導体チップが配置されていてもよい。

【0015】（７）本発明に係るマルチチップ型の半導体装置は、上記構成を有する複数の半導体装置が積み重ねられ、下段の前記半導体装置に形成された前記第１及び第２の接続部の一方と、上段の前記半導体装置に形成された前記第１及び第２の接続部の一方と、が電気的に接続されてなる。

【0016】本発明によれば、半導体チップの両面側に第１及び第２の接続部が形成された半導体装置を積み重ねられている。各半導体装置の第１及び第２の接続部の一方を、上下の半導体装置間の電気的接続に使用するので、半導体チップの大きさに関わらず、簡単にスタック構造を構成することができる。

【0017】（８）このマルチチップ型の半導体装置において、最上段又は最下段の前記半導体装置に形成された前記第１及び第２の接続部のうち、他の半導体装置に形成された前記第１及び第２の接続部の一方に接続されたものとは反対側のものが、外部との電気的接続に使用されてもよい。

【0018】（９）このマルチチップ型の半導体装置において、前記積み重ねられた複数の半導体装置の各半導体チップは、同一の回路構造を有し、前記電極が同一の配列パターンで形成され、各半導体チップの、前記配列パターンの同一位置に形成されたいずれかの電極は、外部との接続に使用される同一の前記第１又は第２の接続部に電気的に接続されてもよい。

【0019】（１０）本発明に係る回路基板は、上記マルチチップ型の半導体装置が搭載されてなる。

【0020】（１１）本発明に係る電子機器は、上記マルチチップ型の半導体装置を備える。

【0021】（１２）本発明に係る半導体装置の製造方法は、複数の電極を一方の面に有する半導体チップの前記一方の面側から他方の面側に至るまで配線パターンを形成し、前記配線パターンの一部で、前記半導体チップの前記一方の面側に複数の第１の接続部を形成し、前記半導体チップの前記他方の面側に複数の第２の接続部を形成する工程を含む。

【0022】本発明では、半導体チップの両面側に、配線パターンによって第１及び第２の接続部を形成する。第１及び第２の接続部は電気的接続に使用することができる。本発明によれば、半導体チップの大きさに関わらず、簡単にスタック構造を構成できる半導体装置を製造することができる。

【0023】（１３）この半導体装置の製造方法において、前記配線パターンは、前記第１及び第２の接続部を含む形状で基板に形成されてなり、前記基板に前記半導体チップをフェースダウンボンディングしてから、前記基板で前記半導体チップを包んでもよい。

【0024】これによれば、半導体チップを包むように

基板を屈曲させるだけで、半導体チップの両面側に、第1及び第2の接続部を形成することができる。

【0025】(14) この半導体装置の製造方法において、前記基板に、前記配線パターンと前記第1及び第2の接続部を露出させる複数の貫通穴を形成しておき、前記基板で、前記配線パターンを内側にして前記半導体チップを包んでもよい。

【0026】これによれば、配線パターンを基板の内側に配置するので、基板を配線パターンの保護部材とすることができる。

【0027】(15) この半導体装置の製造方法において、前記半導体チップと前記配線パターンとの間に、前記電極と前記配線パターンとの電気的な接続部分を除いて、絶縁材料を設ける工程を含んでもよい。

【0028】これによれば、半導体チップと配線パターンとのショートを防止することができる。

【0029】(16) 本発明に係るマルチチップ型の半導体装置の製造方法は、上記方法によって製造された複数の半導体装置を組み重ね、下段の前記半導体装置に形成された前記第1及び第2の接続部の一方と、上段の前記半導体装置に形成された前記第1及び第2の接続部の一方と、を電気的に接続する工程を含む。

【0030】本発明によれば、半導体チップの両面側に第1及び第2の接続部が形成された半導体装置を組み重ねる。各半導体装置の第1及び第2の接続部の一方を、上下の半導体装置間の電気的接続に使用するので、半導体チップの大きさに関わらず、簡単にスタック構造を構成することができる。

【0031】

【発明の実施の形態】以下、本発明の実施の形態を、図面を参照して説明する。

【0032】図1は、本発明を適用した実施の形態に係るマルチチップ型の半導体装置を示す図である。図1で、マルチチップ型の半導体装置1は、回路基板2に実装されている。回路基板2には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板2には例えば銅からなる配線パターン3が所望の回路となるように形成されていて、それらの配線パターン3と、マルチチップ型の半導体装置1の外部端子14とを接続することでそれらの電気的導通が図られている。

【0033】マルチチップ型の半導体装置1は、複数のシングルチップ型の半導体装置10が積み重ねられている。あるいは、半導体装置10もマルチチップ型の半導体装置であってもよい。半導体装置10は、基板20と、少なくとも1つの半導体チップ30と、を含む。基板20は、半導体チップ30を包むように屈曲しており、図2に、基板20を平面的に展開した状態が示されている。

【0034】基板20は、半導体装置10のインターポージングとして使用される。基板20は、屈曲されるので、

ポリイミド樹脂などからなるフレキシブル基板を使用することが好ましい。フレキシブル基板として、TAB

(Tape Automated Bonding) 技術で使用されるテープを使用してもよい。基板20は、無機系の材料から形成されてもよく、例えばセラミック基板やガラス基板が挙げられる。基板20は、有機系及び無機系の複合構造からなるものであってもよく、例えばガラスエポキシ基板が挙げられる。基板20の形状は、特に限定されないが、矩形であることが多い。

【0035】基板20には、半導体チップ30が搭載される。また、基板20には、複数の貫通穴21が形成されている。図1に示す例では、基板20における半導体チップ30の搭載領域に複数の貫通穴21が形成され、半導体チップ30の搭載領域外にも複数の貫通穴21が形成されている。

【0036】基板20の一方の面には、配線パターン22が形成されている。配線パターン22は、銅などの導電材料で形成することができる。配線パターン22が接合剤(図示せず)を介して基板20に貼り付けられて、3層基板を構成してもよい。あるいは、配線パターン22を、接合剤なしで基板20に形成して2層基板を構成してもよい。

【0037】配線パターン22は、第1及び第2の接続部24、26を含む。第1の接続部24は、基板20の半導体チップ30の搭載領域に配置されていてもよい。第2の接続部26は、基板20の半導体チップ30の搭載領域以外の領域に配置されている。第1及び第2の接続部24、26は、基板20の貫通穴21を介して、基板20におけるこれらが形成された面とは反対側に露出している。したがって、第1及び第2の接続部24、26は、貫通穴21を介して外部と電気的な接続を図ることができる。

【0038】配線パターン22は、半導体チップ30との電気的な接続部分を除いて、絶縁材料28で覆われていることが好ましい。絶縁材料28を設けることで、配線パターン22を半導体チップ30を包むように屈曲させたときに、配線パターン22と半導体チップ30とのショートを防止できる。

【0039】半導体チップ30は、一方の面に複数の電極34を有する。半導体チップ30は、基板20に搭載されている。フェースダウンボンディングが適用される場合には、半導体チップ30は接合剤32等で基板20に接合されてもよい。半導体チップ30の複数の電極34と、配線パターン22の例えばランド部とが電気的に接続されている。電極34と配線パターン22との電気的な接続には、導電性部材を使用したり、超音波や熱などによって材料を拡散させる方法を適用することができる。導電性部材として、ハンダ、異方性導電膜、異方性導電接合剤、導電ペースト又は導電性接合剤等を使用することができる。図1に示す例では、接合剤32に導電

粒子を分散させて異方性導電膜を構成した。導電性部材を使用した電気的な接続の態様として、ハンダ付け等の口ウ付けを例に挙げる事ができる。また、半導体チップ30をフェースアップで基板20にダイアタッチし、ワイヤーボンディングで実装する形態を適用しても良い。

【0040】図1に示すように、基板20は、半導体チップ30を包むように屈曲している。すなわち、半導体チップ30の第1及び第2の側面を覆うように、基板20は形成されている。配線パターン22を内側にして基板20は屈曲しているため、基板20が配線パターン22の保護部材となる。基板20が屈曲することで、基板20に形成されている配線パターン22も屈曲する。配線パターン22も、半導体チップ20を包むように屈曲する。

【0041】配線パターン22の第1の接続部24は、半導体チップ30の一方の面（電極34が形成された面）側に配置され、第2の接続部26は、他方の面（電極34が形成された面とは反対側の面）に配置されている。配線パターン22は、半導体チップ30の一方の面から他方の面に至るまで形成されている。

【0042】基板20の屈曲状態を維持するため、基板20と半導体チップ30とは接合剤35等を介して接合されている。あるいは、基板20の両端部に係合部を形成し、これらを係合させてもよいし、カシメなど機械的な手段を適用してもよい。また、図1及び図2に示す例では、基板20の中央部に半導体チップ30を搭載し、基板20の両端部を屈曲させてあるが、基板20の一方の端部に半導体チップ30を搭載し、他方の端部を屈曲させてもよい。

【0043】本実施の形態では、複数の半導体装置10が積み重ねられてマルチチップ型の半導体装置1が構成されている。積み重ねられる半導体装置10は、同一のものであってもよいが、異なるものであってもよい。また、同一の形状の半導体チップ30が使用されてもよい。さらに、回路構造が同一で、電極34の配列も同一の半導体チップ30が使用されてもよい。

【0044】複数の半導体装置10は、第1及び第2の接続部24、26を介して電気的に接続されている。詳しくは、上段の半導体装置10の第1及び第2の接続部24、26の一方（図1の例では第1の接続部24）と、下段の半導体装置10の第1及び第2の接続部24、26の一方（図1の例では第2の接続部26）と、が電気的に接続されている。電気的な接続には、ハンダ、ハンダクリーム、導電ペーストなどの導電材料12を使用することができる。導電材料12を貫通穴21内に設けて、上段及び下段の半導体装置10の電気的接続を図ることができる。

【0045】最下段の半導体装置10の第1及び第2の接続部24、26のうち、その上の半導体装置10との

接続に使用されないもの（図1の例では第1の接続部24）には、外部端子14が設けられている。詳しくは、貫通穴21を介して、基板20における配線パターン22が形成された面とは反対側の面から突出するように、外部端子14が設けられている。外部端子14は、ハンダクリーム、ハンダボール、導電ペーストなどで形成してもよいし、あるいは貫通穴21内に、銅などの導電材料をメッキしてスルーホールを形成し、ハンダボールを載せてもよい。または、貫通穴21上に形成された配線パターン22を、貫通穴21中に屈曲させて外部端子として使用してもよい。更に、積極的に外部端子を形成せずマザーボード実装時にマザーボード側に塗布されるハンダクリームを利用し、その溶融時の表面張力で結果的に外部端子を形成してもよい。この半導体装置は、いわゆるランドグリッドアレイ型の半導体装置である。

【0046】積み重ねられた複数の半導体装置10の各半導体チップ30が同一の内部構造及び同一の電極配列パターンを有しているときに、同一位置の電極34が、同一の外部端子14（あるいは外部との接続に使用される同一の第1又は第2の接続部24、26）と電気的に接続されていてもよい。例えば、半導体チップ30がメモリであるときに、同一の第1又は第2の接続部24、26から、それぞれのメモリの同じアドレスのメモセルに、情報の読み出し又は書き込みを行うことができる。複数の半導体チップ30を、チップセレクト端子の接続においてのみ分離しておくことで、同一外部端子配列を用いて、複数の（例えば2つ）の半導体チップを別々にコントロールすることができる。

【0047】本実施の形態は、上記のように構成されており、以下その製造方法を説明する。本実施の形態に係るマルチチップ型の半導体装置1は、複数の半導体装置10を積み重ねて製造する。半導体装置10として、シングルチップ型の半導体装置を例にとり、その製造方法を説明する。

【0048】例えば、図2に示すように、第1及び第2の接続部24、26を含む配線パターン22が形成された基板20に、半導体チップ30を搭載し、配線パターン22と半導体チップ30の電極34とを電気的に接続する。基板20及び配線パターン22の構成に関する詳細については上述した通りである。

【0049】半導体チップ30は、図2に示すように、基板20にフェースダウンボンディングすることが好ましいが、フェースアップボンディングを適用してもよい。電極34と配線パターン22との電気的な接続には、導電性部材を使用したり、超音波や熱などによって材料を拡散させる方法を適用することができる。導電性部材を使用した電気的な接続の態様として、ハンダ付け等の口ウ付けを例に挙げる事ができる。また、半導体チップ30をフェースアップで基板20にダイアタッチし、ワイヤーボンディングで実装する形態を適用しても

【0050】そして、基板20を、半導体チップ30を包むように屈曲させる。また、基板20の屈曲状態を維持するために、接合部36を使用する。こうして、複数の電極34を一方の面に有する半導体チップ30の一方の面側から他方の面側に至るまで配線パターン22を形成することができる。半導体チップ30の一方の面側には複数の第1の接続部24を形成することができ、半導体チップ30の他方の面側には複数の第2の接続部26を形成することができる。

【００５２】図１に示す例では、下座に配置される半導体装置１０に形成された第２の接続部２６に、貫通穴２１を介して導電材料１２を設ける。そして、上座に配置される半導体装置１０に形成された第１の接続部２４に、貫通穴２１を介して、導電材料１２に接合させる。必要があれば、導電材料１２を溶融させたり固化させるために、加熱などを行う。

【0054】以上の工程によって、マルチチップ型の半導体装置1を製造することができる。この半導体装置1

【0056】本発明を適用した半導体装置を有する電子機器として、図3には、ノート型パーソナルコンピュータ100が示されている。

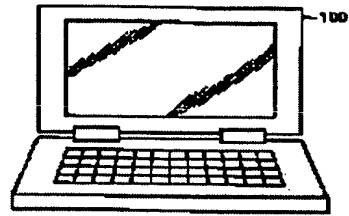
【図面の簡単な説明】

【図2】図2は、本発明を適用した実施の形態に係る半導体装置の基板を展開した状態を示す図である。

【符号の説明】

- 1 マルチチップ型の半導体装置
- 1 0 半導体装置
- 2 0 基板
- 2 1 貫通穴
- 2 2 配線パターン
- 2 4 第1の接続部
- 2 6 第2の接続部
- 3 0 半導体チップ

【図3】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード* (参考)

H 0 1 L 25/18